

22 MD

JA 0119768

JUL 1984

(54) SEMICONDUCTOR DEVICE

(11) 59-119768 (A) (43) 11.7.1984 (19) JP

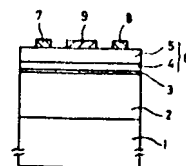
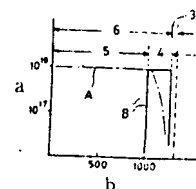
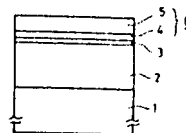
(21) Appl. No. 57-233125 (22) 24.12.1982

(71) FUJITSU K.K. (72) TOMONORI ISHIKAWA(1)

(51) Int. Cl. H01L29/80, H01L29/201, H01L29/207

PURPOSE: To reduce the trapping concentration in AlGaAs, stabilize the action of a hetero junction, and thus enable high speed actions by utilizing bi-dimensional electrode gas by a method wherein an impurity Si which causes to produce vacant lattice defects and traps is partly changed into Sn.

CONSTITUTION: A non-doped GaAs 2, a non-doped $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 3 (about 60 \AA), an Si doped $\text{N-Al}_x\text{Ga}_{1-x}\text{As}$ 4 (about $0.02 \mu\text{m}$), and an Sn doped $\text{N-Al}_x\text{Ga}_{1-x}\text{As}$ 5 (about $0.1 \mu\text{m}$) are deposited on a semi-insulation GaAs substrate 1. Sn has segregation effect, therefore can not form a steep distribution of impurity concentrations, but forms it on the boundary between layers 6 and 3, thus increasing the electron mobility by addition with Si which does not have segregation effect. Besides, the most part of the remnant is changed into an Sn doped layer with less formation of traps, and an $\text{N-Al}_x\text{Ga}_{1-x}\text{As}$ 6 with small amount of traps as a whole is formed. Thereafter, the device is completed by attaching a source, a drain, and a gate electrode as normal. This constitution stabilizes the characteristic and makes it uniform.

a: doping concentration, b: distance from surface (\AA)

2 - i GaAs

3 - i $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ~60 \AA 4 - n $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ~200 \AA (Si doped)5 - n $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ~1000 \AA (Sn doped)

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59—119768

⑤ Int. Cl.³

H 01 L 29/80

29/201

29/207

識別記号

庁内整理番号

7925—5 F

7514—5 F

7514—5 F

④ 公開 昭和59年(1984)7月11日

発明の数 1

審査請求 未請求

(全 4 頁)

⑭ 半導体装置

⑯ 発明者 藤井俊夫

川崎市中原区上小田中1015番地

富士通株式会社内

⑰ 特 願 昭57—233125

⑱ 出 願 昭57(1982)12月24日

⑲ 出 願 人 富士通株式会社

川崎市中原区上小田中1015番地

⑳ 発 明 者 石川知則

川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 松岡宏四郎

富士通株式会社内

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

半絶縁性ガリウム・砒素基板と、該基板上に形成されたノンドープのガリウム・砒素層と、該ノンドープのガリウム・砒素層上に形成されたn型のアルミニウム・ガリウム・砒素層とを具備し、且つ、前記n型のアルミニウム・ガリウム・砒素層には、前記ノンドープのガリウム・砒素層との界面近傍においてシリコンがドーパされ、残りの部分には錫がドーパされてなることを特徴とする半導体装置。

3. 発明の詳細な説明

(a) 発明の技術分野

本発明は半導体装置に係り、特にヘテロ接合を有し、二次元電子ガスを利用して高速動作を可能とした化合物半導体装置におけるノンドープのガリウム・砒素/n型アルミニウム・ガリウム・砒素 (GaAs/n-AlGaAs) ヘテロ接合の構造に関する。

る。

(b) 従来技術と問題点

従来、ヘテロ接合を有し、二次元電子ガスを利用して高速動作を可能とした化合物半導体装置を構成するためのGaAs/n-AlGaAsヘテロ構造は、主として分子線エピタキシャル成長(MBE)法により成長せしめたノンドープGaAs層と、更にその上に成長せしめたシリコン(Si)ドーパのn-Al_xGa_{1-x}As層とから構成されていた。ここでn-Al_xGa_{1-x}As層を、Siをドーパすることにより形成するのは、Siが成長中の拡散効果の最も少ないn型ドーパントであって、高電子移動度を得るのに必要な選択ドーピングを効果的に実現出来る唯一の元素であることによる。しかしこのSiドーパのn-Al_xGa_{1-x}As層においては、多くのトラップが存在するという問題がある。特にSiドナーと空格子点欠陥の作るD_xセンターと呼ばれるトラップが高濃度(～1×10¹⁷ (cm⁻³))に存在し、これがヘテロ接合を有し、二次元電子ガスを利用して高速動作を可能とした化合物半導体装置が光照射

を受けた場合に素子特性に光応答を生じ、安定な動作を妨げる原因となる。即ちかかるトラップが存在すると、製造工程中等において光照射を受けた場合に上記トラップからキャリアが励起されるため、キャリア濃度の変動する。このため素子特性が変動し、しかもかかるキャリア濃度の変動は素子毎に異なるため素子特性のバラツキを生じる原因となる。

(c) 発明の目的

本発明の目的は上記 D_x センター生成の原因となっているドーパント Si を、一部分 Sn に変更することによって $n-Al_x Ga_{1-x} As$ 中のトラップ濃度を低減し、光応答が少なく安定に動作するヘテロ接合を有し、二次元電子ガスを利用して高速動作を可能とした化合物半導体装置を提供することにある。

(d) 発明の構成

本発明の特徴は、半絶縁性ガリウム・砒素基板と、該基板上に形成されたノンドープのガリウム・砒素層と、該ノンドープのガリウム・砒素層上

に形成された n 型のアルミニウム・ガリウム・砒素層とを具備し、且つ、前記 n 型のアルミニウム・ガリウム・砒素層には、前記ノンドープのガリウム・砒素層との界面近傍においてシリコンがドーパされ、残りの部分には錫がドーパされてなることにある。

(e) 発明の実施例

MBE法により n 型 $Al_x Ga_{1-x} As$ ($x \approx 0.3$) を形成するドーパントとしては、一般にシリコン (Si) か錫 (Sn) が用いられる。 Si はヘテロ接合を有し、二次元電子ガスを利用して高速動作を可能とした化合物半導体装置に必要な急峻なドーピングプロファイルを形成するが、前述の如く高濃度のトラップを含むという欠点がある。一方 Sn はトラップは殆ど含まなくすることが出来るが、偏析効果のため急峻なプロファイルを得ることが出来ず、ヘテロ接合を有し、二次元電子ガスを利用して高速動作を可能とした化合物半導体装置用材料に対するドーパントとしては不適當である。そこで本発明においては、急峻なプロファイルを必要

とするヘテロ界面付近のみは Si をドーパし、これ以外の表面側は、 Sn をドーパすることにより高電子移動度という特徴を損なうことなく、 $n-Al_x Ga_{1-x} As$ 中の全トラップ中の全トラップ濃度を低減しようとするものである。

以下本発明の一実施例を図面を参照しながら説明する。

第1図は本発明の一実施例を示す要部断面図であって、1は半絶縁性 $GaAs$ 基板、2はノンドープの $GaAs$ 層、3はノンドープの $Al_x Ga_{1-x} As$ 層、4は Si をドーパした $n-Al_x Ga_{1-x} As$ 層、5は Sn をドーパした $n-Al_x Ga_{1-x} As$ 層、6は $n-Al_x Ga_{1-x} As$ 層全体を示す。これら各層はいずれもMBE法により形成され、その厚さはノンドープの $Al_x Ga_{1-x} As$ 3が凡そ60 (\AA)、 Si ドープの $n-Al_x Ga_{1-x} As$ 層4は凡そ0.02 (μm)、 Sn ドープの $n-Al_x Ga_{1-x} As$ 層5は凡そ0.1 (μm) とした。

本実施例では上記第1図により理解されるように、 $n-Al_x Ga_{1-x} As$ 層6のうちヘテロ接合界面近傍の200 (\AA) 程を Si をドーパして形成し、残り

の部分 Sn をドーパすることにより形成した。

第2図に上述の如く構成した本実施例のドーピング・プロファイルを示す。前述のように Sn は偏析効果があることから、一点鎖線Aで示すようにドーピングの先端部分において急峻なプロファイルが得られず、傾斜分布を呈する。そこで本実施例では当該部分に偏析効果を持たない Si を併せてドーピングすることにより、実線Bで示すように $n-Al_x Ga_{1-x} As$ 層6とノンドープの $Al_x Ga_{1-x} As$ 層3との境界部に、急峻な界面ドーピング・プロファイルを形成した。

このように本実施例では $n-Al_x Ga_{1-x} As$ 層6のうち、ヘテロ接合近傍部分のみを Si ドープして形成することにより、高電子移動度を得るのに十分な、急峻な界面ドーピング・プロファイルを得ると共に、且つ残りの大部分の領域をトラップを形成することのない Sn ドープして形成することにより、全体としてトラップの少ない $n-Al_x Ga_{1-x} As$ 層を得ることが出来た。

この後の通常の製造工程に従ってソース、ドレ

イン、ゲートの各電極を形成して、第3図に示す本実施例のヘテロ接合を有し、二次元電子ガスを利用して高速動作を可能とした化合物半導体装置が完成する。同図において、7、8はそれぞれ上記 $n\text{-Al}_x\text{Ga}_{1-x}\text{As}$ 層5とオーミック接触をなすソース、ドレイン電極、9は $n\text{-Al}_x\text{Ga}_{1-x}\text{As}$ 層5とショットキ接触をなすゲート電極である。

(f) 発明の効果

以上説明した如く本発明によれば、ヘテロ接合を構成する $n\text{-Al}_x\text{Ga}_{1-x}\text{As}$ 層6の大部分をSnドーピングして形成するため、 $n\text{-Al}_x\text{Ga}_{1-x}\text{As}$ 層6中の全トラップ濃度を大幅に低減することが出来る。従って光応答の少ないヘテロ接合を有し、二次元電子ガスを利用して高速動作を可能とした化合物半導体装置を作成することが可能となり、素子特性が向上し安定化するとともに、バラツキが少なくなる。

4. 図面の簡単な説明

第1図～第3図は本発明の一実施例を示す図で、第1図は本発明に係るヘテロ接合を有し、二次元

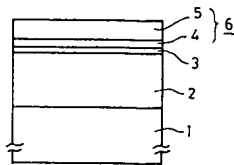
電子ガスを利用して高速動作を可能とした化合物半導体装置のヘテロ接合の構成を示す要部断面図、第2図は上記ヘテロ接合近傍のドーピング・プロファイルを示す曲線図、第3図は上記一実施例の完成体を示す要部断面図である。

図において、1は半絶縁性GaAs基板、2はノンドープのGaAs層、3はノンドープの $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層、4はSiドーピングの $n\text{-Al}_x\text{Ga}_{1-x}\text{As}$ 層、5はSnドーピングの $n\text{-Al}_x\text{Ga}_{1-x}\text{As}$ 層、6は $n\text{-Al}_x\text{Ga}_{1-x}\text{As}$ 層全体を示す。

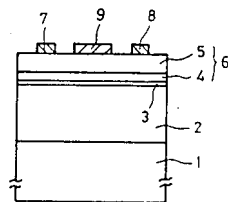
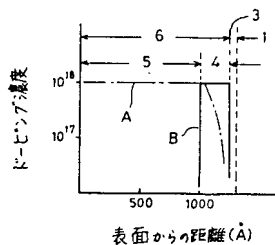
代理人 弁理士 松岡宏四郎



第1図



第2図



手続補正書(方式)

特開昭59-119768(4)

昭和 年 月 日

58.4.19

特許庁長官殿

(特許庁審判長殿)
(特許庁審査官殿)



1. 事件の表示

昭和57年特許第233125号

2. 発明の名称 半導体装置

3. 補正をする者

事件との関係

特許出願人

住所 神奈川県川崎市中原区上小田中1015番地

(522) 名称 富士通株式会社

4. 代理人

住所 神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(6433) 氏名 弁理士 松岡 宏 四 郎

電話 川崎 (044) 277-1111 (内線2630)



5. 補正命令の日付

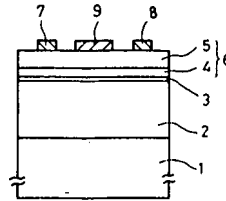
昭和58年3月29日(発送日)

6. 補正により増加する発明の数 なし

7. 補正の対象 図面第3図

8. 補正の内容 別紙の通り

第3図



JA 0318165
DEC 1983

(54) HETEROJUNCTION SEMICONDUCTOR DEVICE

(11) 63-218165 (A) (43) 27.12.1988 (19) JP

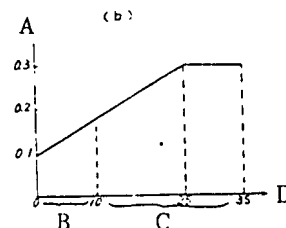
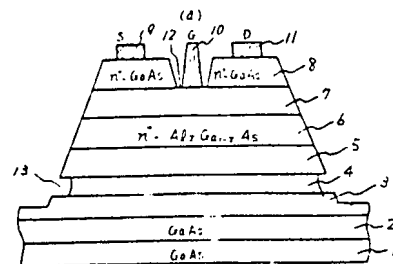
(21) Appl. No. 62-153287 (22) 22.6.1987

(71) HITACHI LTD (72) MASAO YAMANE(5)

(51) Int. Cl. H01L29/80, H01L29/205

PURPOSE: To protect a gate electrode from disconnection by a method wherein a buffer layer is formed thin on a mesa step section and, on one of its surfaces, an A/GaAs/GaAs superlattice layer or an etching stopper layer is provided.

CONSTITUTION: A buffer layer 4 built for example of undoped GaAs on a mesa step section is formed thin and, on one of its surfaces, an etching stopper layer 3 is built of an A/GaAs/GaAs superlattice layer or a simple A/GaAs layer, which reduces the quantity to be removed by etching from the buffer layer 4. With the device being designed as such, the A/GaAs in the superlattice layer or the simple A/GaAs layer serves as a stopper layer in a process of dry-etching a GaAs layer 8 for the formation of a gate recess, preventing the formation of a great difference in the mesa step section and protecting a gate electrode 10 from disconnection.



1: GaAs substrate, 5: undoped $\text{Al}_{x_1}\text{Ga}_{1-x_1}\text{As}$, 7: undoped $\text{Al}_{x_2}\text{Ga}_{1-x_2}\text{As}$, A: ratio of Al in constitution, B: undoped $\text{Al}_{x_2}\text{Ga}_{1-x_2}\text{As}$ region 7, C: $\text{n}^+\text{-Al}_{x_1}\text{Ga}_{1-x_1}\text{As}$ region 6, D: thickness (nm)

⑤ Int. Cl.

識別記号

庁内整理番号

④ 公開 昭和63年(1988)12月27日

H 01 L 29/80
29/205H-8122-5F
8526-5F

審査請求 未請求 発明の数 1 (全6頁)

⑬ 発明の名称 ヘテロ接合半導体装置

⑭ 特 願 昭62-153287

⑮ 出 願 昭62(1987)6月22日

⑯ 発 明 者 山 根 正 雄 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑰ 発 明 者 三 島 友 義 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑱ 発 明 者 佐 々 木 義 光 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 小 林 正 義 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

明 細 書

1. 発明の名称

ヘテロ接合半導体装置

2. 特許請求の範囲

1. ヘテロ接合界面に形成される2次元電子ガスを能動層に利用し、ゲート電極をキャップ層により形成されるリセス部に形成した電界効果トランジスタにおいて、上記能動層に対し上記キャップ層と反対側に形成したパツプアー層と、該パツプアー層の上記能動層側とは反対の面に形成したエッチングストツパーを有することを特徴とするヘテロ接合半導体装置。

2. 上記キャップ層はn+型GaAsであり、上記パツプアー層はアンドープGaAsであり、上記ストツパーはアンドープ(又はP⁻)GaAs/アンドープ(又はp⁻)AlGaAs超格子層あるいは単一AlGaAs層である特許請求の範囲第1項の記載のヘテロ接合半導体装置。

3. 上記キャップ層と上記能動層の間に、ゲート電極側に近づくにつれて単調減少しかつ0とは

ならない実効的A₂傾斜組成比を有する

A₂GaAs層を形成して成る特許請求の範囲第2項に記載のヘテロ接合半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は電界効果トランジスタに係り、特にn+型キャップ層を厚膜化した構造のヘテロ接合半導体装置に関する。

〔従来の技術〕

従来、ヘテロ接合界面に形成される2次元電子ガスをトランジスタの能動層に利用したデバイスにおいて、高性能化のための一方法として、ソース・ゲート間抵抗の低減化が要求されていた。

その一方法として、n+-GaAsキャップ層を厚膜化した方法が提案されている(第2図)。この方法は、キャップ層を厚くすることにより、キャップ層シート抵抗を小さくし、ソース抵抗の低抵抗化を図っている(応用物理学会予稿集(1986年4月)3P-T-11参照)。また、この技術においては、n+-GaAsキャップ層34をリ

セエツチした後、ゲート電極36がn- $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$ 33上に形成される。従つて、制御性よくn+-GaAsキャップ層34のみをエツチングする必要がある。選択的にGaAsをエツチするために、 $\text{CCl}_2\text{F}_2 + \text{He}$ をエツチヤントとしたドライエツチングの方法が知られている。
〔発明が解決しようとする問題点〕

高耐圧化のためにはn+-GaAsキャップ層34を選択的にエツチングし、ゲート電極36とn+-GaAsキャップ層34の間に0.2 μm 程度のすき間を設ける必要があつた。そのためには、GaAs膜厚に2、1.2 μm 程度のエツチングが必要である。その際、メサ段差部のアンドープGaAsパツプアア層2がエツチングされるため、1 μm 以上の段差が生じ、ゲート断線を起こしやすかつた。

本発明の目的は、ゲート断線を起こしにくい構造を提供することにある。

〔問題点を解決するための手段〕

上記目的は、メサ段差部のアンドープGaAs

等より成るパツプアア層を薄くし、かつ、一方の面に $\text{AlGaAs}/\text{GaAs}$ 超格子層又は AlGaAs 単一層等のエツチングストツパー層を設けて、パツプアア層のエツチング量を減らすことにより、達成される。

〔作用〕

第1図(a)は本発明のFETの断面図である。アンドープGaAs/アンドープ AlGaAs 超格子層もしくは、 AlGaAs 単一層3を設けたことにより、ゲートリセス部形成のためのGaAsドライエツチングの際、超格子層もしくは AlGaAs 単一層3内のいずれかの AlGaAs 層がストツパー層として働き、大きな段差を生じず、ゲート電極の断線を防止できる。

〔実施例〕

以下、本発明の実施例を説明する。

実施例1

第1図、第3図及び第4図を用いて説明する。まず半絶縁性GaAs基板1上に、MBE(分子線エピタキシ)装置により、基板温度600℃

(通常550℃~650℃)の条件のもとで、アンドープGaAs層2(厚さ:500nm)、アンドープ AlGaAs /アンドープGaAs超格子層3(厚さ:300nm)、アンドープGaAs層4(厚さ:50nm)、アンドープ $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$ 層5(厚さ:2nm(通常2~6nm))、n+- $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 層6(濃度:2.3 $\times 10^{18}\text{cm}^{-3}$ 、厚さ:25nm)、アンドープ $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 層7(厚さ:10nm)、n+-GaAs層8(濃度3.5 $\times 10^{18}\text{cm}^{-3}$ 、厚さ:160nm)を、順次エピタキシャル成長する(第3図(a))。

アンドープ AlGaAs /アンドープGaAs超格子層3は、第3図(b)に示すように、各層の厚さを20nmとし、15層設けることにより、300nmの厚さにした。

また、n+- $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 層6、アンドープ $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 層7は、第1図(b)に示すように、Al組成比を0.3より0.1程度まで(Alセルの温度を1165℃より1092℃に下げることに対応)変化させた。

次に、ホトレジスト41をマスクとして、メサエツチングを行なう(第3図(c))。その際、エツチングは、 $\text{HF}:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:2:20$ のウエットエツチング液を用いた。このエツチング液を用いることにより、テーパ角68度という、ゆるやかな傾斜をもつメサ形状が得られた。

次にスパークサ SiO_2 膜42(400nm)をCVD法により形成し、通常のホトリソグラフィ技術を用い、ソース電極(S)9及びドレイン電極(D)11をリフトオフ法により形成した。電極材料は $\text{Au}/\text{Ni}/\text{AuGe}$ 、アロイ条件は400℃、2分である(第3図(d))。

次に電子線直接描画技術を用いて、ゲート電極(G)10を形成した。ERジスト43(例えば、NPR)は、現像前後において、プリベーク温度100℃、ポストベーク温度90℃の条件の下で熱処理を行ない、開口部の広がりを抑えた(第3図(e))。 SiO_2 42の孔あけは、HF系エツチング液に2行なつたが、ドライエツチングの

方法を用いてもよい。その際には、エッチングガス(C_2F_6/CHF_3)の圧力とプラズマ放電のパワーの最適化により、レジストとの選択比を少な配とも6以上にとることが必要である。次に、EBレジスト43をマスクにして、 $n+-GaAs$ キャップ層8のリセスエッチングを CCl_2F_2/He 系のガスを用いたドライエッチング法にて行なう。 CCl_2F_2 、 He のガス圧をそれぞれ2.5 Pa、パワーを200Wとし、RIE装置を用いて行なう。 $GaAs/AlGaAs$ のエッチング比は、 Al 組成比0.3の場合には2000程度、0.1の場合でも200程度得られた。本実施例では、 $Al_xGa_{1-x}As$ 層7の $n+-GaAs$ キャップ層8に隣接する部分の Al 組成は0.1であるので、選択比としては十分であり、制御性良くリセスエッチを行なうことができた。また、素子の高耐圧化のために、 $n+-GaAs$ キャップ層8は、0.2 μm 程度のサイドエッチング1.3を行なった。サイドエッチングは、 $Al_xGa_{1-x}As$ 層7と $GaAs$ キャップ層8の選択性が高いので下地の

$Al_xGa_{1-x}As$ 層7をエッチングすることなく、バルクの $GaAs$ に換算して1.2 μm 程度エッチングする条件にて達成できた。

次に、ゲート電極(G)10を上記EBレジストをマスクとして、リフトオフ法により形成した。第3図(f)。ゲート材料は Al を用い、厚さは500nmである。ゲート長は、0.3 μm であり、ゲート幅は150 μm であった。

また、ゲートパッド引き出し部は、アンドープ $GaAs$ /アンドープ $AlGaAs$ 超格子層3上に形成されるが、アンドープ $GaAs$ バッファ層4を50nmと薄くしたことと、超格子バッファ層3を用いたことにより、段差部での断線は生じなかった。(第4図)。

以上の方法により、FETを作製した結果、ソース抵抗0.5 Ω/mm 、相互コンダクタンス、320 ms/mm が得られた。また、高周波特性として、12GHzでは、 $NF=0.7dB$ 、 $Gain=12dB$ 、18GHzでは、 $NF=1.0dB$ 、 $Gain=10dB$ が得られた。

本実施例では、 $n+-Al_xGa_{1-x}As$ 層6、アンドープ $Al_xGa_{1-x}As$ 層7の Al 組成比は、0.3より0.1まで傾斜させたが、ドライエッチングにより、 $GaAs/AlGaAs$ の選択比が大きくとれる領域でありさえすれば問題はない。例えば、0.04程度の Al 組成比の $Al_xGa_{1-x}As$ でも $GaAs$ とのエッチングレート比は100倍程度あるため、傾斜組成比は0.3より0.04でも差しつかえない。また、本実施例ではゲート直下にアンドープ $Al_xGa_{1-x}As$ 層7を用いたが、濃度が $2 \times 10^{17} cm^{-3}$ 以下の $n-Al_xGa_{1-x}As$ を用いてもよい。また、ゲート金属材料として Al を用いたが、 $Al-Ti$ でももちろんよい。

この場合、 Ti と $AlGaAs$ の密着性がよいので、ゲート金属をリフトオフする工程において、超音波洗浄も可能となる。

実施例2

本実施例は、 Al 傾斜組成部6、7の結晶成長以外は、実施例1と同じであるので、この部分について第5図を用いて記述する。

実施例1と同様にして半導体層5まで形成した後、 $n+-Al_{0.3}Ga_{0.7}As$ 層6' (濃度; $3 \times 10^{18} cm^{-3}$)を15nm形成し、続いて、 $n+-AlGaAs/n+GaAs$ 超格子層6'' (濃度; $3 \times 10^{18} cm^{-3}$)を10nm、アンドープ $AlGaAs$ /アンドープ $GaAs$ 超格子層7'を10nmを形成し、続いて実施例1と同様に $n+-GaAs$ 層8を形成する。

以下、実施例1と同様のプロセスにて、FETを作製した。素子特性は、実施例1のものと同程度であったが、ウェーハ間、及びウェーハ内バラツキが非常に小さく、歩止まりが20%向上した。この方法によれば、MBE結晶成長の際 Al セルの温度を一定に保つため、膜厚及び不純物濃度の制御性がよくなり、量産化に好適である。

さらに、ゲート形成の際の $n+-GaAs$ キャップ層のサイドエッチング工程において、アンドープ $AlGaAs$ /アンドープ $GaAs$ 超格子層7'の最上層である $Al_xGa_{1-x}As$ 層の Al 組成比 x は0.3であるため、ドライエッチングの $AlGaAs$

／GaAs 選択比は大きく、制御性に優れている。

実施例 3

本実施例は、アンドープ $\text{Al}_{0.5}\text{Ga}_{0.7}\text{As}$ 層 5 の膜厚仕様と、結晶成長後、瞬間アニールすること以外は、実施例 2 と同じであるので、この部分についてのみ説明する。

まず、実施例 2 と同様に、MBE 法により、各層を形成するが、この際、アンドープ $\text{Al}_{0.5}\text{Ga}_{0.7}\text{As}$ 層 5 の膜厚を $4\text{ nm} \sim 6\text{ nm}$ と少し厚くしておく。次に結晶成長後、瞬間アニール法により、 850°C で 3 秒～10 秒の条件のもとで、熱処理を行なう。その後の工程は実施例 2 と同様にした。作製した FET は、アンドープ AlGaAs スペーサー層 5 が厚めにもかかわらず、ソース抵抗は、 $0.4\ \Omega/\text{mm}$ とより低減できた。また、相互コンダクタンスは、 $340\text{ mS}/\text{mm}$ が得られ、高周波特性として、 12 GHz では、 $\text{NF}=0.6\text{ dB}$ 、 $\text{Gain}=13\text{ dB}$ 、 18 GHz では、 $\text{NF}=0.95\text{ dB}$ 、 $\text{Gain}=10.5\text{ dB}$ が得られた。

本実施例では、超格子による Al 傾斜組成層

6'、6''、7' が、熱処理により、よりなめらかな傾斜組成とすることを利用している。また、アンドープ $\text{Al}_{0.5}\text{Ga}_{0.7}\text{As}$ スペーサー層 5 は厚くしたが熱処理により、不純物が拡散するため実効的なアンドープ層厚は薄くなり、ソース抵抗を高くせず、むしろ低抵抗代できた。

〔発明の効果〕

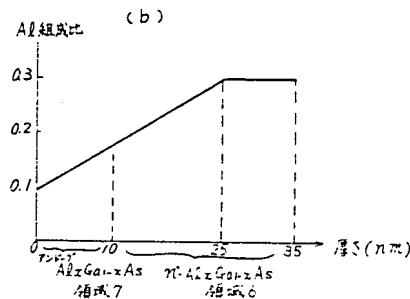
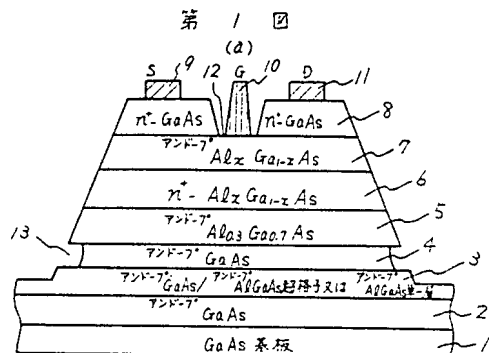
本発明によれば、低ソース抵抗、高耐圧のヘテロ接合 FET を歩留良く作製することができる。

4. 図面の簡単な説明

第 1 図 (a) は本発明の実施例 1 のヘテロ接合 FET の断面図、第 1 図 (b) は、傾斜組成 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層の膜厚方向に対する Al 組成比を示す図、第 2 図は、従来構造の FET の断面図、第 3 図は実施例 1 を説明するためのプロセスフロー図、第 4 図は実施例 1 の断線防止を説明したゲートパッド部の断面図、第 5 図 (a) および (b) は、それぞれ超格子による Al 傾斜組成層の断面図および膜厚方向の Al 組成比を示す図である。
1…GaAs 基板、2…アンドープ GaAs、3

…アンドープ AlGaAs / アンドープ GaAs 超格子層又は AlGaAs 単一層、4…アンドープ GaAs 層、5…アンドープ AlGaAs 層、6… Al 傾斜組成 $n^+-\text{AlGaAs}$ 層、6'… $n^+-\text{AlGaAs}$ 、6''… $n^+-\text{AlGaAs}$ / $n^+-\text{GaAs}$ 超格子層、7… Al 傾斜組成 アンドープ AlGaAs 層、7'…アンドープ AlGaAs / アンドープ GaAs 超格子層、8、34… $n^+-\text{GaAs}$ 層、9、35…ソース電極、10、36…ゲート電極、11、34…ドレイン電極、12…ゲート電極と $n^+-\text{GaAs}$ 層とのすき間、13…GaAs ドライエッチによるサイドエッチ、31…2 次元電子ガス、32…アンドープ AlGaAs 、32'… $n^+-\text{AlGaAs}$ 、41…ホトレジスト、42… SiO_2 膜、43…EB レジスト、50…実効的 Al 傾斜組成。

代理人 弁理士 小川勝男



12 G 電極と $n^+-\text{GaAs}$ 層のすき間
13 ワイドエッチによるすき間